

MEMORY ERASION METHOD FOR 33LAYER STRUCTURE THIN FILM EL ELEMENT

Publication number: JP53101235

Publication date: 1978-09-04

Inventor: INOUE TADAAKI; TOMITA KOUJI; TAKAGI JIYUNKOU;
HIJIKATA TOSHIKI

Applicant: SHARP KK

Classification:

- international: **G11C11/42; G09G3/12; G09G3/30; G11C11/21;
G09G3/04; G09G3/30; (IPC1-7): G06K15/18;
G11C13/08**

- European:

Application number: JP19770016353 19770216

Priority number(s): JP19770016353 19770216

Report a data error here

Abstract of JP53101235

PURPOSE:To return the high emission luminance of the EL element to the original luminance by a reduce pulse number and the erasion time through application the 2-step erasion pulse voltage featuring the binary voltage value to the EL element.

Data supplied from the **esp@cenet** database - Worldwide

公開特許公報

昭53—101235

⑤Int. Cl.²

識別記号

⑤日本分類

庁内整理番号

④公開 昭和53年(1978)9月4日

G 11 C 13/08 //

97(7) C 19

7056—56

G 06 K 15/18

97(7) B 4

7323—56

発明の数 1

審査請求 未請求

(全 5 頁)

⑤三層構造薄膜EL素子のメモリー消去法

⑦発明者 高木俊公

大阪市阿倍野区長池町22番22号

シャープ株式会社内

②特 願 昭52—16353

同

土方俊樹

②出 願 昭52(1977)2月16日

大阪市阿倍野区長池町22番22号

シャープ株式会社内

⑦発明者 井上忠昭

大阪市阿倍野区長池町22番22号

シャープ株式会社内

⑦出願人 シャープ株式会社

大阪市阿倍野区長池町22番22号

同

富田孝司

大阪市阿倍野区長池町22番22号

シャープ株式会社内

⑦代理人 弁理士 福士愛彦

明 細 書

1. 発明の名称

三層構造薄膜EL素子のメモリー消去法

2. 特許請求の範囲

1. 誘電体膜—半導体発光層—誘電体膜より成る

三層構造薄膜EL素子のメモリー消去法に於いて、

誘電体膜—半導体発光層の界面近傍の電子

トラップ単位に捕獲された伝導電子が半導体発

光層の伝導帯に励起されている状態で高電界を

印加し、伝導電子が半導体発光層を他方の界面

に掃引されている状態で半導体発光層中の電子

トラップ単位に充分捕獲される低電界を前記高

電界と順極性又は逆極性で印加する少なくとも

2値電圧値を有する消去パルス電圧の1回又は

複数回印加によりメモリー消去を行なうことを

特徴とする三層構造薄膜EL素子のメモリー消

去法。

8. 発明の詳細な説明

本発明は発光輝度(I)と印加電圧(V_{ap})間に

ヒステリシス特性を有する三層構造薄膜EL素子

に対し、光、電界、熱等の照射又は印加を行なつ

たため発光輝度が高くなつたEL素子を元の発光

輝度状態に戻すメモリー消去方法に関するもので

より少ない消去パルス数及び消去時間でメモリー

消去を行なう三層構造薄膜EL素子のメモリー消

去法を提供することを目的とする。

MnをドーピングしたZnS、ZnSe等の半導体

発光薄膜をY₂O₃、TiO₂等の誘電体薄膜で

サンドイッチした三層構造ZnS・Mn(又はZ

nSe・Mn)薄膜EL素子は数kHzのAC電

圧印加によつて高輝度発光し、しかも長寿命であ

るという特徴を有している。またこの薄膜EL素

子の発光に関しては印加電圧(V_{ap})を昇圧し

ていく過程と高電圧側より降圧していく過程で、

同じV_{ap}に対して発光輝度(I)が異なるといつた

ヒステリシス特性を有していることが発見された。

そしてこのヒステリシス特性を有するEL素子に

印加電圧を昇圧する過程に於いて、光、電界、熱

等が付与されるとEL素子はその強度に対応した

発光輝度の状態に励起され、光、電界、熱等を除

去して元の状態に戻しても発光輝度が高くなつた状態に留まるといつたメモリー現象が存在することが知られている。そしてこのメモリー現象を有効に活用してEL素子をメモリー素子に利用するEL素子応用技術が現在産業界で研究開発されている。

この薄膜EL素子をメモリー素子として利用する場合、書き込み手段としては、光、電界（パルス印加）、熱等の照射又は印加によつて比較的簡単に書き込むことができるが、一度書き込んだ内容を消去してメモリー素子を元の状態に戻すメモリー消去手段に於いては非常に困難な技術を必要とする。

従来実施されているメモリー消去方法としては発光消滅電圧（後述する第1図の V_R に相当）程度又はそれ以下のパルス電圧を印加する方法がある。この方法によればメモリー素子がある程度元の状態に戻すことができる。しかし十分に消去するためには極性の反転した消去パルス電圧を数回印加する必要があり、書き込み、消去を高速度で

行なう必要がある場合には上記方法は適用することができなくなる。従つて情報処理の増大にともなう処理能力の迅速化が要求される現在、簡単に短時間に完全なメモリー消去を行なうことができる新たな技術の開発が切望されている。

本発明は消去パルス数を少なくし、短時間により完全なメモリー消去を行なうメモリー消去法を完成させることにより産業界よりの要請に応えたものである。以下本発明及び本発明の完成に至るまでの研究開発過程について詳説する。

第1図は薄膜EL素子の発光輝度(B)と印加AC電圧(V_{ap})の関係を示す特性図で横軸は印加AC電圧(V_{ap})、縦軸は発光輝度(B)を表わす。また第2図(a)は駆動電圧波形、書き込みパルス電圧波形及び従来の消去パルス電圧波形を表わす。第2図(b)は第2図(a)に対応するEL素子の発光輝度波形を表わす。

ある一定の電界を印加されたEL素子に書き込み手段として光、熱、又は電界が照射又は印加されると $ZnS \cdot Mn$ 発光層中の電子トラップ単位

に捕獲されていた電子が各強度に相当する数だけ伝導帯中に励起され伝導電子となつて $ZnS \cdot Mn$ 層を走行する。そしてその途中で Mn 発光センターを励起、発光させる為EL素子の発光輝度は増加する。これを図面について説明すると第1図の V_A に相当する駆動電圧を印加することにより、EL素子は B_A に相当する発光輝度で発光する。駆動電圧は第2図(a)に示す如くパルス状に交番電圧が印加される。またこの駆動電圧に対応するEL素子の発光は第2図(b)に示す如く駆動電圧印加に同期する。次に書き込み手段として書き込み電圧 V_B をパルス状に1回又は複数回交番印加すると前述した理由により発光輝度は B_B に増加する。発光状態は同様に書き込み電圧 V_B に同期してパルス状となる。

次に光、熱、電界を除去しても $ZnS \cdot Mn$ 層と誘電体膜の界面近傍に捕引された伝導電子は界面近傍の界面準位に捕獲されており次の駆動電圧印加によつて界面準位より伝導帯に抜け出し $ZnS \cdot Mn$ 層を走行して他方の界面に達する。その際

$ZnS \cdot Mn$ 層中のもとの電子トラップ近傍を通過する伝導電子に対してはもとのトラップ単位に再トラップされる確率よりも他方の界面に捕引される確率の方が高い。これは駆動電圧による電界によつて伝導電子が高速度となつているためである。このため発光輝度は元の状態に戻らずメモリー現象を呈することとなる。これを図面について説明すると、書き込み電圧 V_B を除去した時発光輝度 B_B はわずかに減少するが B_B の発光輝度で保持され結果的に書き込み電圧 V_B により電圧書き込みが行なわれたことになる。従つて次の駆動電圧 V_A 印加によりEL素子の発光は第2図(b)に示す如く最初の駆動電圧印加時よりもはるかに高い発光輝度を呈する。

上記メモリーを消去するためには伝導電子を $ZnS \cdot Mn$ 層中のもとの電子トラップ単位に再トラップさせることが必要である。そこで伝導電子を有効に再トラップさせるためには、電子トラップ単位近傍を通過する伝導電子の速度を低下させ印加電界によつて他方の界面に捕引される確率

よりも再トラップされる確率が高くなるようにすることが必要である。伝導電子の掃引速度を低くするためには消去用のパルス電圧の電圧印加を低くすれば良いことになるがあまり低くと界面単位から $ZnS \cdot Mn$ 層の伝導体に励起される確率が低下し、 $ZnS \cdot Mn$ 層中の電子トラップ単位近傍を走行する伝導電子の数が減少し、伝導電子は界面単位に多くトラップされた状態で残り、次の駆動パルスで励起され再び $ZnS \cdot Mn$ 層中を掃引されるため充分発光輝度が減少しない状態に残ることになる。以上の点を勘案してメモリー消去を完全に行なうためには、界面単位から $ZnS \cdot Mn$ 層中にトンネル効果、プーレンフェル効果等により伝導電子が励起されている状態では充分高電界が印加されておりかつ $ZnS \cdot Mn$ 層中を他方の界面に掃引されている状態では低い電界が印加されるような外部電圧を消去パルス電圧として印加すれば完全なメモリー消去を行なうことができるかと考察される。

第8図(a)はEL素子が矩形波パルス(立上がり

時間 $t_r \leq 2 \mu$ 秒)の印加電圧で駆動されている時の $ZnS \cdot Mn$ 層中を流れる伝導電流波形を示したもので図中印加電圧 V_{ap} の電圧値 V_a 及び V_b は第8図(b)に示すEL素子の発光輝度 B -印加電圧 V_{ap} 特性図中の V_a, V_b に相当する。第8図(a)より明らかな如くパルス電圧印加後5~15 μ 秒後に伝導電流は最大値となり50~60 μ 秒後には程んど減衰してしまう。このことよりパルス印加後5~15 μ 秒以下の時間で大部分の電子は界面近傍のトラップ単位から $ZnS \cdot Mn$ 層の伝導帯中に励起され、その後50~60 μ 秒間で伝導帯を掃引されるものと考えられる。従つて消去パルス電圧としては立ち上がりより5~10 μ 秒以下では充分高電圧であり5~10 μ 秒以上50~60 μ 秒以下の間では低電圧であるような外部電圧が最適の消去パルス電圧となる。

ここで第1図及び第2図に戻つて再度従来のメモリー消去法を考察する。

書き込み電圧 V_B により電圧書き込みが行なわれたメモリー素子は発光輝度 B_B' に保持されてお

り、これを消去パルス電圧 V_c によつて消去し、もとの発光輝度 B_A に戻すことになるが、従来の消去パルス電圧 V_c の印加では発光輝度は B_c 程度にしか消去できず B_A にするには5~8回の消去パルス電圧印加を必要とした。なお上記に於いて消去パルス電圧 V_c の値はEL素子を高電圧側から降圧していく過程に於いてEL素子が発光を呈しなくなる時の電圧即ち発光消滅電圧 V_R 以下の一定電圧値であり、消去パルス電圧はメモリー消去時にパルス状に交番印加される。

以上詳述した系統的理論体系に基いて本発明は技術的構成を完成させた新規有用なメモリー消去法を提唱するものであり以下その実施例について詳説する。

書き込み手段により発光輝度 B_B' に保持されたメモリー素子は第4図(a)に示す駆動パルス電圧 V_A が印加されると第4図(b)に示す如く高輝度発光する。次に第4図(a)に示す本発明の第1実施例としての2段消去パルス電圧を印加する。2段消去パルス電圧は高電圧値を有する1段目のパルス

電圧と低電圧値を有する2段目のパルス電圧で構成される2値電圧値を有する消去パルス電圧である。また2段消去パルス電圧の印加時間(2段消去パルス電圧の幅) t_p は60 μ 秒程度以下であり、1段目のパルス電圧印加時間 t_1 は5~10 μ 秒又電圧値は書き込み電圧 V_B 程度あるいはそれ以下に設定することとする。2段目のパルス電圧の印加時間 t_2 は50~55 μ 秒である。又その電圧値は従来のに於ける消去パルス電圧 V_c よりも低く設定できる。この2段消去パルス電圧を印加すると発光輝度は第1図に於ける B_D にまで低下する。これを8~4回印加すると次の駆動パルス電圧 V_A 印加時に発光輝度は第4図(b)に示す如く程んど B_A と等しくなる。

次に本発明の第2実施例を第5図に基いて説明する。メモリー素子は第1実施例と同様に発光輝度 B_B' に保持されているものとする。このメモリー素子に印加される消去パルス電圧は第1実施例と同様に2値電圧値を有する2段消去パルス電圧であるが2段目のパルス電圧が第1実施例に対

し逆極性となつている。この2段消去パルス電圧を印加すると、発光輝度は第1図に於ける B_D よりもさらに低輝度の B_E まで低下する。これを2〜8回印加すると次の駆動パルス電圧 V_A 印加時に発光輝度は第5図(b)に示す如く B_A と等しくなつてさらにメモリー消去効果が大きくなる。これは高電圧値である1段目のパルス電圧印加により界面単位より励起され伝導帯中を走行している電子の速度が逆極性の低電圧値を有する2段目のパルス電圧印加により減速されたためである。

書き込み手段で伝導帯に励起された伝導電子は熱エネルギーの付加によるEL素子の温度上昇によつても元の電子トラップに再トラップされやすくなる。第6図はEL素子温度に付する伝導電流値の変化をあらわしたものである。またこの時のEL素子は書き込み手段としてパルス電圧 V_{ap} が印加されたものであり V_{ap} の値は第8図の V_a 及び V_b に相当する。第6図から明らかな如く低温で伝導体に励起された電子はEL素子温度が上昇するに伴つて再トラップされ減少していく。

波形及び従来の消去パルス電圧波形を表わす。第2図(b)は第2図(a)に対応するEL素子の発光輝度波形を表わす。

第8図(a)はEL素子が矩形波パルスの印加電圧で駆動されている時の $ZnS \cdot Mn$ 層中を流れる伝導電流波形を表わす。第8図(b)は第8図(a)の印加電圧値を説明するもので第1図と同様EL素子の発光輝度(%)と印加電圧(V_{ap})の関係を示す特性図である。

第4図(a)はEL素子に印加される駆動パルス電圧波形及び本発明の第1実施例である2段消去パルス電圧波形を表わす。第4図(b)は第4図(a)に対応するEL素子の発光輝度波形を表わす。

第5図(a)はEL素子に印加される駆動パルス電圧波形及び本発明の第2実施例である2段消去パルス電圧波形を表わす。第5図(b)は第5図(a)に対応するEL素子の発光輝度波形を表わす。

第6図はEL素子温度に対する伝導電流値の変化を表わす。

V_{ap} …印加電圧, B …発光輝度, t_p …2段

これはEL素子温度が上昇するに従つて $ZnS \cdot Mn$ 層の格子振動等が活発化し、伝導電子の移動度が減少して再トラップされる確率が増すためであると考えられる。この現象を利用すればメモリー消去が可能となる。即ちEL素子に熱線等のエネルギー光線を照射することにより素子温度を一時的に上昇させることによりメモリー消去を行なうことができる。

以上詳説した如く本発明は2値電圧値を有する2段消去パルス電圧を印加することによりメモリー消去を行なうものであり、簡単な操作で短時間にしかも確実にメモリー消去をすることができるという非常に優れた効果を奏する。従つて情報処理等の迅速化という社会的ニーズに適合した産業的利用価値の高いメモリー消去法である。

4. 図面の簡単な説明

第1図は薄膜EL素子の発光輝度(%)と印加AC電圧(V_{ap})の関係を示す特性図で横軸は印加AC電圧(V_{ap})縦軸は発光輝度(%)を表わす。

第2図(a)は駆動電圧波形、書き込みパルス電圧

消去パルス電圧の印加時間, t_1 …1段目のパルス電圧印加時間, t_2 …2段目のパルス電圧印加時間

代理人 弁理士 福 士 愛



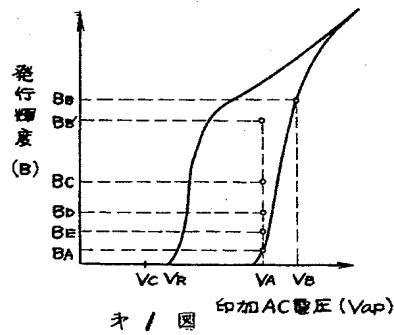


図 1

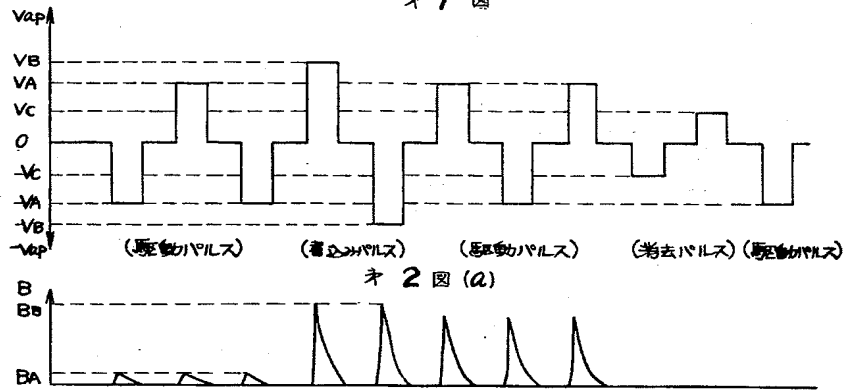


図 2(b)

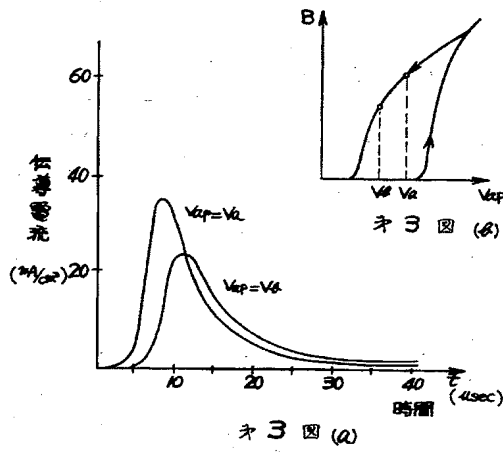


図 3(a)

図 5(a)

図 5(b)

